

PCT

WELTORGANISATION FÜR GEISTIGES EIGENTUM  
Internationales Büro



INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE  
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

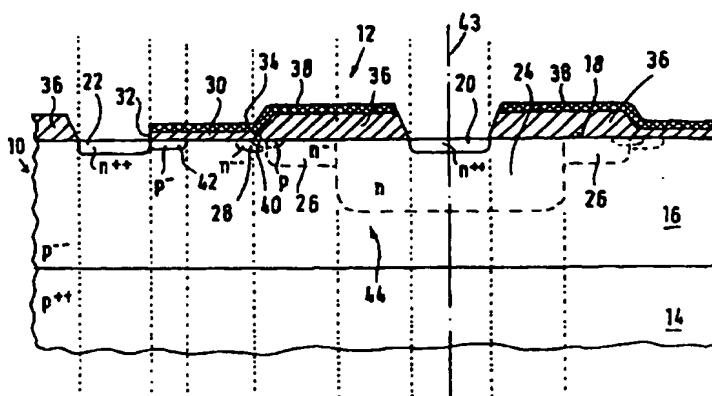
(51) Internationale Patentklassifikation 6 : <b>H01L 29/78, 21/336</b>		A1	(11) Internationale Veröffentlichungsnummer: <b>WO 97/13277</b>
			(43) Internationales Veröffentlichungsdatum: 10. April 1997 (10.04.97)
(21) Internationales Aktenzeichen: PCT/EP96/04246		(81) Bestimmungsstaaten: JP, KR, US, europäisches Patent (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).	
(22) Internationales Anmeldedatum: 28. September 1996 (28.09.96)		Veröffentlicht Mit internationalem Recherchenbericht.	
(30) Prioritätsdaten: 195 36 753.7 2. Oktober 1995 (02.10.95) DE			
(71) Anmelder (für alle Bestimmungsstaaten ausser US): EL MOS ELEKTRONIK IN MOS-TECHNOLOGIE GMBH [DE/DE]; Joseph-von-Fraunhofer-Strasse 9, D-44227 Dortmund (DE).			
(72) Erfinder; und (75) Erfinder/Anmelder (nur für US): ROTH, Walter [DE/DE]; Am Oespeler Dorney 2, D-44149 Dortmund (DE). GIEBEL, Thomas [DE/DE]; Ameckestrasse 35, D-44139 Dortmund (DE).			
(74) Anwälte: HILLERINGMANN, Jochen usw.; Deichmannhaus am Dom, D-50667 Köln (DE).			

(54) Title: MOS TRANSISTOR WITH HIGH OUTPUT VOLTAGE ENDURANCE

(54) Bezeichnung: MOS-TRANSISTOR MIT HOHER AUSGANGSSPANNUNGSFESTIGKEIT

(57) Abstract

The invention concerns an MOS transistor with high output voltage endurance comprising a semiconductor substrate (10) whose surface (18) contains a doping area (44) with a surface-doping concentration which decreases from the drain connection area (20) to the drain-side edge (34) of the gate oxide layer (30). This doping area (44) is formed by ion implantation and subsequent outward diffusion of individual partial areas (24, 26, 28). In the extension of the drain gate the first partial area (24) has a dimension which is substantially larger than the penetration depth of the outward diffusion into the substrate (10). The second partial area (26; 28) has a dimension and is at a distance from the first partial area (24) which are both smaller than the penetration depth of the outward diffusion into the substrate (10). In the outwardly diffused state, the individual diffusions from the individual adjacent first and second partial areas (24, 26, 28) converge at the surface (18) of the substrate (10) in order to obtain a doping concentration gradient whilst the doping area conduction type is unchanged.



BEST AVAILABLE COPY

#### (57) Zusammenfassung

Der MOS-Transistor mit hoher Ausgangsspannungsfestigkeit weist ein Halbleiter-Substrat (10) auf, in dessen Oberfläche (18) ein Dotierungsgebiet (44) mit vom Drain-Anschlußgebiet (20) bis zur drainseitigen Kante (34) der Gate-Oxidschicht (30) abfallenden Oberflächendotierungskonzentration ausgebildet ist. Dieses Dotierungsgebiet (44) ist durch Ionenimplantation und anschließende Ausdiffusion einzelner Teilgebiete (24, 26, 28) gebildet. Das erste Teilgebiet (24) weist eine Abmessung in Drain-Gate-Erstreckung auf, die wesentlich größer ist als die Eindringtiefe der Ausdiffusion in das Substrat (10). Das zweite Teilgebiet (26; 28) weist eine Abmessung und einen Abstand zum ersten Teilgebiet (24) auf, die beide kleiner sind als die Eindringtiefe der Ausdiffusion in das Substrat (10). Im ausdiffundierten Zustand laufen die von den einzelnen jeweils benachbarten ersten und zweiten Teilgebieten (24, 26, 28) ausgehenden Einzeldiffusionen zur Erzielung eines Dotierungskonzentrationsgradienten bei gleichbleibendem Leitungstyp des Dotierungsgebiets an der Oberfläche (18) des Substrats (10) ineinander.

#### LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AM	Armenien	GB	Vereinigtes Königreich	MX	Mexiko
AT	Österreich	GE	Georgien	NE	Niger
AU	Australien	GN	Guinea	NL	Niederlande
BB	Barbados	GR	Griechenland	NO	Norwegen
BE	Belgien	HU	Ungarn	NZ	Neuseeland
BF	Burkina Faso	IE	Irland	PL	Polen
BG	Bulgarien	IT	Italien	PT	Portugal
BJ	Benin	JP	Japan	RO	Rumänien
BR	Brasilien	KE	Kenya	RU	Russische Föderation
BY	Belarus	KG	Kirgisistan	SD	Sudan
CA	Kanada	KP	Demokratische Volksrepublik Korea	SE	Schweden
CF	Zentrale Afrikanische Republik	KR	Republik Korea	SG	Singapur
CG	Kongo	KZ	Kasachstan	SI	Slowenien
CH	Schweiz	LI	Liechtenstein	SK	Slowakei
CI	Côte d'Ivoire	LK	Sri Lanka	SN	Senegal
CM	Kamerun	LR	Liberia	SZ	Swasiland
CN	China	LK	Litauen	TD	Tschad
CS	Tschechoslowakei	LU	Luxemburg	TG	Togo
CZ	Tschechische Republik	LV	Lettland	TJ	Tadschikistan
DE	Deutschland	MC	Monaco	TT	Trinidad und Tobago
DK	Dänemark	MD	Republik Moldau	UA	Ukraine
EE	Estland	MG	Madagaskar	UG	Uganda
ES	Spanien	ML	Mali	US	Vereinigte Staaten von Amerika
FI	Finnland	MN	Mongolei	UZ	Usbekistan
FR	Frankreich	MR	Mauretanien	VN	Vietnam
GA	Gabon	MW	Malawi		

MOS-Transistor mit hoher Ausgangsspannungsfestigkeit

Die Erfindung betrifft einen MOS-Transistor mit hoher Ausgangsspannungsfestigkeit.

Bei einer Vielzahl von Applikationen ist es wünschenswert, daß MOS-Transistoren am Ausgang auch bei hohen Ausgangsspannungen zwischen 180 V bis 200 V nicht zerstört werden. Derartig hohe Ausgangsspannungen können durch externe Einflüsse auf eine Schaltung kurzzeitig anstehen. Derartig hohe Spitzenspannungen treten insbesondere bei elektronischen Schaltungen für Kraftfahrzeuge auf. Der in Bezug auf einen (irreversiblen) Durchbruch sensibelste Bereich eines MOS-Transistors ist die drainseitige Gate-Kante, da infolge des Kanteneffekts dort recht hohe elektrische Felder auftreten. Zur Erzielung eines geringen Einschaltwiderstandes ist es nämlich wünschenswert, daß der Bereich zwischen der drainseitigen Gate-Kante und dem Drain-Anschluß selbst elektrisch gut leitend ist. Das bedeutet aber, daß nahezu die gesamte Ausgangsspannung (im Ausschaltzu-

stand des Transistors im Bereich der drainseitigen Gate-Kante abfällt. Da die Gate-Oxidschicht nur eine sehr geringe Dicke aufweisen darf, sind MOS-Transistoren ohne besondere Maßnahmen nur wenig ausgangsspannungsfest.

In EP-A-0 449 858 ist ein NMOS-Transistor mit erhöhter Ausgangsspannungsfestigkeit beschrieben. Bei diesem Transistor ist um das (entartet dotierte) Drain-Anschlußgebiet eine weniger stark dotierte Wanne vom gleichen Leitungstyp wie das Drain-Anschlußgebiet (im Falle eines NMOS-Transistors handelt es sich bei diesem Leitungstyp um den n-Leitungstyp) gelegt. Diese schwächer dotierte n-Wanne reicht bis unterhalb der drainseitigen Kante der Gate-Oxidschicht. Die n-Wanne wird durch Ionenimplantation und anschließend Ausdiffusion hergestellt. Wegen der im Vergleich zum Drain-Anschlußgebiet geringeren Dotierung stellt sich damit zwischen dem Drain-Anschlußgebiet und der drainseitigen Kante der Gate-Oxidschicht ein Dotierungsbereich mit in lateraler Erstreckung verringerter Oberflächenkonzentration ein. In diesem schwächer dotierten n-Wannen-gebiet, der in einem p-Substrat ausgebildet ist, kann sich dann eine Raumladungszone ausreichend weit ausbilden, so daß der NMOS-Transistor auch bei höheren Ausgangsspannungen noch durchbruchfest ist. Mit der in EP-A-0 449 858 beschriebenen Maßnahme läßt sich die Ausgangsspannungsfestigkeit eines MOS-Transistors jedoch nicht beliebig erhöhen, so daß in dieser Vorgehensweise Grenzen gesetzt sind.

Der Erfindung liegt die Aufgabe zugrunde, einen MOS-Transistor zu schaffen, der über eine verbesserte Ausgangsspannungsfestigkeit verfügt und insbesondere auch

- 3 -

bei Ausgangsspannungen von 160 V bis 180 V im gesperrten Zustand durchbruchssicher ist.

- Zur Lösung dieser Aufgabe wird mit der Erfindung ein
- 5 MOS-Transistor vorgeschlagen, der versehen ist mit
- einem Halbleiter-Substrat, das eine schwache Dotierung eines ersten Leitungstyps aufweist,
  - zwei in die Oberfläche des Substrats eingebrachte voneinander beabstandete Anschlußgebiete für Drain
  - 10 und Source, wobei die Anschlußgebiete stark bis entartet und von einem dem ersten Leitungstyp entgegengesetzten zweiten Leitungstyp sind,
  - einer auf die Oberfläche zwischen den beiden Anschlußgebieten für Drain und Source aufgetragenen
  - 15 Gate-Oxidschicht mit einer an das Source-Anschlußgebiet angrenzenden sourceseitigen Kante und einer von dem Drain-Anschlußgebiet beabstandeten drainseitigen Kante, und
  - einem in die Oberfläche des Substrats von dem
  - 20 Drain-Anschlußgebiet bis unterhalb der Gate-Oxidschicht reichenden und von dem Source-Anschlußgebiet beabstandeten Dotierungsgebiet vom zweiten Leitungstyp, dessen Oberflächenkonzentration in dem an das Drain-Anschlußgebiet angrenzenden Be-
  - 25 reich höher ist als in dem Bereich unterhalb der Gate-Oxidschicht,
  - wobei das Dotierungsgebiet durch Ionenimplantation und anschließende Ausdiffusion eines an das Drain-
  - 30 Anschlußgebiet angrenzenden ersten Teilgebiets, dessen Abmessung in Drain-Gate-Erstreckung wesentlich größer ist als die Eindringtiefe der Ausdiffusion in das Substrat und mindestens eines zweiten Teilgebiets gebildet ist, das zwischen dem ersten Teilgebiet und dem Source-Anschlußgebiet
  - 35 angeordnet ist und dessen Abmessung in Drain-Gate-

Erstreckung sowie dessen Abstand zum ersten Teilgebiet kleiner sind als die Eindringtiefe der Ausdiffusion in das Substrat, wobei die von den einzelnen ersten und zweiten jeweils benachbarten Teilgebieten ausgehende Einzeldiffusionen zur Erzielung eines Dotierungskonzentrationsgradienten bei gleichbleibendem Leitungstyp des Dotierungsgebiets an der Oberfläche des Substrats ineinanderlaufen.

Der erfindungsgemäße MOS-Transistor mit den vorstehend genannten Merkmalen läßt sich sowohl als PMOS- als auch als NMOS-Transistor ausführen. Die Erfindung wird nachfolgend anhand eines NMOS-Transistors erläutert.

Bei dem erfindungsgemäßen Transistor sind in einem schwach p-dotierten Halbleiter-Substrat zwei Anschlußgebiete für Drain und Source eingebracht. Diese Anschlußgebiete befinden sich in der Oberfläche des Substrats und sind sehr hoch bis entartet n-dotiert (Dotierungskonzentration größer als  $10^{17}$  Atome pro  $\text{cm}^3$ ). Zwischen die beiden Anschlußgebiete ist auf der Oberfläche eine Gate-Oxidschicht aufgebracht, die an das Source-Anschlußgebiet angrenzend angeordnet ist und vom Drain-Anschlußgebiet beabstandet ist. Während also die sourceseitige Kante der Gate-Oxidschicht mit der Begrenzung des Source-Anschlußgebiets fluchtet bzw. dieses geringfügig überlappt, ist die drainseitige Kante der Gate-Oxidschicht vom Drain-Anschlußgebiet beabstandet. In der Oberfläche des Substrats zwischen dem Drain-Anschlußgebiet und der drainseitigen Kante der Gate-Oxidschicht ist ein Dotierungsgebiet ausgebildet, das sich bis unterhalb der Gate-Oxidschicht erstreckt. Dieses Gebiet ist n-dotiert, wobei die Oberflächenkonzentration moduliert ist. Die Modulation ist dabei der-

art gewählt, daß die Oberflächenkonzentration innerhalb des Dotierungsgebiets ausgehend vom Drain-Anschlußgebiet bis zum sourceseitigen, unterhalb der Gate-Oxidschicht angeordneten Bereich insgesamt abnimmt. Die Abnahme der Oberflächenkonzentration wird dabei durch Ionenimplantation mehrerer zwischen dem Drain-Anschlußgebiet und der drainseitigen Kante der Gate-Oxidschicht angeordneter Teilgebiete mit anschließender Ausdiffusion dieser ionenimplantierten Teilgebiete erzielt.

Die ionenimplantierten Teilgebiete, die nach ihrer Ausdiffusion das Dotierungsgebiet mit zum Gate hin abnehmendem Oberflächen-Dotierungskonzentrationsprofil bilden, umfassen ein erstes Teilgebiet, dessen Abmessung in Drain-Gate-Erstreckung wesentlich größer ist als die Eindringtiefe der Ausdiffusion in das Substrat. Dieses erste Teilgebiet ist schwächer dotiert als das Drain-Anschlußgebiet. Zusätzlich zum ersten Teilgebiet ist mindestens ein zweites Teilgebiet vorgesehen, das vom ersten Teilgebiet beabstandet ist und in Drain-Gate-Erstreckung eine geringere Abmessung als das erste Teilgebiet aufweist. Der Abstand dieses mindestens einen zweiten Teilgebiets zum ersten Teilgebiet ist kleiner als die Eindringtiefe der Ausdiffusion in das Substrat. Ebenso gilt, daß die Abmessung des zweiten Teilgebiets in Drain-Gate-Erstreckung kleiner ist als die Eindringtiefe der Ausdiffusion in das Substrat. Diese Wahl der Abmessung des zweiten Teilgebiets sowie sein Abstand zum ersten Teilgebiet führen dazu, daß bei gleich starker Ionenimplantation dieser beiden Teilgebiete die lateralen Ausdiffusionen ineinanderlaufen. Anders ausgedrückt hängen die nach der Ionenimplantation noch getrennten Teilgebiete nach erfolgter Ausdiffusion zusammen. Hierdurch ergibt sich eine abnehmende Oberflächenkonzentration des Dotierstoffs im Dotie-

5 rungsgebiet zur drainseitigen Gate-Kante hin. Infolge  
der zum Gate hin abnehmenden Oberflächenkonzentration  
bildet sich bei gesperrtem Transistor die Raumladungs-  
zone zwischen dem Substrat und dem Dotierungsgebiet  
zunehmend im Dotierungsgebiet aus. Außerdem kann sich  
10 eine räumlich vergrößerte Raumladungszone ausbilden,  
was dazu führt, daß in lateraler Richtung ein ver-  
größertes Gebiet für den Spannungsabbau zur Verfügung  
steht. Das wiederum bedeutet, daß der über der Gate-  
Oxidschicht fallende Anteil der Ausgangsspannung herab-  
15 gesetzt ist oder, umgekehrt ausgedrückt, daß bei be-  
tragsmäßig gleichem Spannungsabfall über der Gate-Oxid-  
schicht insgesamt zwischen Gate und Drain eine größere  
Ausgangsspannungsfestigkeit erzielbar ist. Wegen der  
infolge der abnehmenden Dotierung zum Drain hin ver-  
schobenen Raumladungszone kann der MOS-Transistor mit  
einem kürzeren Kanal, dessen Mindestlänge durch den  
Punch-Through-Effekt bestimmt ist, ausgestattet sein.  
Insgesamt benötigt der erfindungsgemäße MOS-Transistor  
20 nur wenig mehr Platz als ein herkömmlicher MOS-Transis-  
tor.

Durch die erfindungsgemäß vorgesehene Ionenimplantation  
einzelner voneinander beabstandeter Teilgebiete, von  
25 denen mit Ausnahme des dem Drain-Anschlußgebiet zuge-  
wandten Teilgebiets sämtliche anderen Teilgebiete Ab-  
messungen in Drain-Gate-Erstreckung und Abstände zu  
benachbarten Teilgebieten aufweisen, die kleiner, ins-  
besondere wesentlich kleiner sind als die Eindringtiefe  
30 der Ausdiffusion in das Substrat, wird in lateraler  
Richtung zwischen dem Drain-Anschlußgebiet und dem Gate  
bis unterhalb von dessen drainseitiger Kante eine  
stufenweise abnehmende Oberflächen-Dotierstoffkonzen-  
tration erzielt. Dieses Stufenprofil ist eine in der  
35 Praxis brauchbare Annäherung an das ideale geradlinig



abnehmende Oberflächen-Konzentrationsprofil und hat technologisch den entscheidenden Vorteil, daß mit den bei einem CMOS-Prozeß üblichen Verfahrensschritten (Ionenimplantation und Ausdiffusion einer Wanne) gearbeitet werden kann. Die Abnahme der Oberflächenkonzentration wird nach der Erfindung durch die Größe, die Anzahl und den Abstand der zweiten Teilgebiete des Dotierungsgebiets erzielt. Dies ist letztendlich eine Frage der Ausmaskierung der Substratoberfläche bei der Ionenimplantation und ist deshalb recht einfach und wiederholbar durchzuführen.

Wie bereits oben erwähnt, setzt sich das Dotierungsgebiet aus einem ersten und mindestens einem zweiten ionenimplantierten und anschließend ausdiffundierten Teilgebiet zusammen. Im Falle mehrerer zweiter Teilgebiete sind diese untereinander beabstandet in Drain-Gate-Erstreckung zwischen dem ersten Teilgebiet und dem Gate aufeinanderfolgend angeordnet. Vorteilhafterweise weisen die zweiten Teilgebiete mit zunehmender Entfernung vom ersten Teilgebiet kleinere Abmessungen in ihren Drain-Gate-Erstreckungen auf. Mit anderen Worten werden also die zweiten Teilgebiete umso schmaler (in Drain-Gate-Erstreckung betrachtet) je näher sie am Gate liegen. Dadurch läßt sich in Stufen eine immer weiter reduzierte Oberflächenkonzentration zur drainseitigen Kante der Gate-Oxidschicht erzielen.

Zweckmäßigerweise sind im Falle mehrerer zweiter Teilgebiete deren Abstände untereinander sowie der Abstand des ersten Teilgebiets zum diesem am nächsten liegenden zweiten Teilgebiet im wesentlichen gleich. Alternativ kann vorgesehen sein, daß im Falle mehrerer zweiter Teilgebiete deren Abstände untereinander mit zunehmender Entfernung der zweiten Teilgebiete vom ersten Teil-

gebiet sich vergrößern. Durch die Wahl der Weite und insbesondere durch die Veränderung des Abstandes der Teilgebiete ergeben sich weitere Möglichkeiten der Dotierstoffkonzentrationsabnahme an der Oberfläche des Substrats zum Gate hin. Vorzugsweise weist das am weitesten von dem Drain-Anschlußgebiet angeordnete Teilgebiet eine Vielzahl von insbesondere punktförmigen Gebieten auf. Damit ergibt sich die Möglichkeit, die Dotierstoffkonzentration dreidimensional beeinflussen zu können.

In vorteilhafter Weiterbildung der Erfindung ist vorgesehen, daß die Teilgebiete Ringstruktur aufweisen. Dabei umschließt das erste Teilgebiet das Drain-Anschlußgebiet und kontaktiert dieses. Die zweiten Teilgebiete sind dann als vom ersten Teilgebiet bzw. untereinander beabstandete Ringe um das erste Teilgebiet herum ausgebildet, wobei diese Ringe insbesondere konzentrisch sind.

Bei der Herstellung des erfindungsgemäßen MOS-Transistors wird, was das Dotierungsgebiet und das Drain-Anschlußgebiet betrifft, derartig verfahren, daß zunächst die Teilgebiete ionenimplantiert werden, um anschließend auszudiffundieren. Danach wird durch Ionenimplantation innerhalb des ersten Teilgebiets der entartet dotierte Drain-Anschlußbereich erzeugt.

Um die (Rest-)Feldstärke an der drainseitigen Kante der Gate-Oxidschicht weiter abzubauen, ist gemäß einer Weiterbildung der Erfindung vorgesehen, unterhalb dieser drainseitigen Kante eine intrinsische Zone in der Oberfläche des Substrats auszubilden. Innerhalb der intrinsischen Zone liegt quasi eine Null-Dotierstoffkonzentration vor, was zur Entschärfung der Feldspitze an der

drainseitigen Kante der Gate-Oxidschicht beiträgt. Vorzugsweise wird diese intrinsische Zone ebenfalls als Ring innerhalb des Dotierungsgebiets ausgebildet.

5 Die intrinsische Zone wird zweckmäßigerweise durch eine "Gegendotierung" erzielt. Mittels dieser Gegendotierung läßt sich die elektrisch aktive Dotierung des Dotierungsgebiets an der Oberfläche gezielt bis auf Null verringern. Diese Gegendotierung kann zusammen mit dem  
10 bei einem MOS-Herstellungsprozeß üblichen Verfahrensschritt der Schwellenspannungs-Implantation realisiert werden. Der MOS-Prozeß selbst muß also für die Gegendotierung nicht verändert werden, was technologisch von Vorteil ist.

15 Damit sich bei gesperrtem Transistor die Raumladungszone in Richtung auf das Source-Anschlußgebiet weiter ausdehnen kann, ist es zweckmäßig, die Schwellenspannungs-Implantation des Transistors auf das unbedingt  
20 nötige Maß angrenzend an das Source-Anschlußgebiet zu beschränken bzw. bei einem symmetrischen Transistor lediglich die Kanalmitte zu implantieren. Ein symmetrischer Transistor weist das oben beschriebene bzgl. des Dotierstoffkonzentrationsgradienten an der Oberfläche  
25 gezielt eingestellte Dotierungsgebiet sowohl um sein Source- als auch Drain-Anschlußgebiet auf. Bei einem symmetrischen Transistor ist es möglich, sowohl an Drain als auch an Source hohe Spannung anzulegen.

30 Der erfindungsgemäße MOS-Transistor läßt sich vorteilhaft auch mit einer an die dünne Gate-Oxidschicht angrenzenden dickeren Feld-Oxidschicht (sogenannte Feldplatte), auf der sich das Gate erstreckt, realisieren. Die Feld-Oxidschicht grenzt dabei an die drainseitige  
35 Kante der Gate-Oxidschicht an, überdeckt also die Ober-

- 10 -

fläche des Substrats im Dotierungsgebiet zwischen dem Drain-Anschlußgebiet und der Gate-Oxidschicht und reicht bis zum Drain-Anschlußgebiet. Durch diese Feldplatte wird das sich an der Oberfläche des Substrats ausbildende elektrische Feld weiter reduziert, was zur Verringerung der Gefahr von Durchbrüchen an der drainseitigen Gate-Kante beiträgt.

Wie sich aus dem Vorstehenden ergibt, ist der erfindungsgemäße MOS-Transistor mit einem in der oben beschriebenen Weise hergestellten weichen p-n-Übergang am Drain-Anschlußgebiet versehen. Dieser p-n-Übergang wird gebildet aus dem Dotierungsgebiet und dem Substrat. Sollte es bei dem erfindungsgemäßen MOS-Transistor zu einem Durchbruch infolge zu hoher Ausgangsspannung kommen, so ist es wünschenswert, daß der Durchbruch des p-n-Übergangs nicht an der Oberfläche in der Nähe des Gates stattfindet, sondern tief im Substrat, der p-n-Übergang also vertikal durchbricht. Dies wird mit Vorteil dadurch erreicht, daß man ein hochdotiertes Substrat mit einer schwachdotierten oberen (Epitaxie-) Schicht verwendet, in der die einzelnen Gebiete ausgebildet sind. Dadurch wird erreicht, daß die Raumladungszone des p-n-Übergangs unterhalb des Drain-Anschlußgebiets so weit eingeengt ist, daß ein Durchbruch in diesem Bereich eher stattfindet als im gatenahen Oberflächenbereich.

Nachfolgend wird anhand der Figuren ein Ausführungsbeispiel der Erfindung näher erläutert. Im einzelnen zeigen:

Fig. 1 einen Querschnitt durch den oberflächennahen Bereich eines Substrats mit darin eingebrachten Dotierungsgebieten für einen NMOS-Transistor,

- 11 -

wobei aus Gründen der Übersichtlichkeit die Kontaktierungen für Gate, Drain und Source nicht dargestellt sind,

5      Fig. 2    den Verlauf der Oberflächen-Dotierungskonzentration entlang der Lateral-Erstreckung zwischen den Source- und Drain-Anschlußbereichen,

10      Fig. 3    den Ionenimplantationsschritt zur Erzeugung des Dotierungsgebiets zwischen dem Drain und dem Gate und

15      Fig. 4    die Situation nach dem Ausdiffundieren der gemäß Fig. 3 ionenimplantierten Teilgebiete.

20      In Fig. 1 ist ein Querschnitt durch den oberflächen-nahen Bereich eines Halbleiter-Substrats 10 mit den für einen NMOS-Transistor 12 mit hoher Ausgangsspannungsfestigkeit erforderlichen unterschiedlich dotierten Gebieten gezeigt. Das Substrat 10 ist p-dotiert und weist eine untere Schicht 14 auf, die p<sup>++</sup>, also entartet dotiert ist (Dotierungskonzentration größer als  $10^{18}$  elektrisch aktive Atome pro  $\text{cm}^3$ ). Auf die untere Schicht 14 aufgebracht ist eine obere (Epitaxie-) Schicht 16, die p<sup>+</sup>-dotiert, also schwach p-dotiert ist und eine Dotierungskonzentration von  $10^{14}$  bis  $10^{15}$  elektrisch aktive Atome pro  $\text{cm}^3$  aufweist. Die Dicke der oberen Schicht 16 liegt zwischen  $5\text{ }\mu\text{m}$  bis  $6\text{ }\mu\text{m}$ . In die Oberfläche 18 der oberen Schicht 16 sind eine Vielzahl von unterschiedlich dotierten Gebieten ausgebildet, auf die im folgenden eingegangen wird.

35      Für den Anschluß von Drain und Source sind in die Oberfläche 18 des Substrats 10 entartet n<sup>++</sup>-dotierte Anschlußgebiete 20 bzw. 22 eingebracht. Während das

Source-Anschlußgebiet 22 unmittelbar in das p<sup>+</sup>-dotierte Material der oberen Schicht 16 eingebracht ist, befindet sich das Drain-Anschlußgebiet 20 in einem ersten Dotierungsteilgebiet 24, das schwächer n-dotiert ist als das Drain-Anschlußgebiet 20 (die Dotierungskonzentration im ersten Dotierungsteilgebiet 24 beträgt etwa  $10^{17}$  elektrisch aktive Atome pro  $\text{cm}^3$ ). Die Tiefe des dotierten ersten Teilgebiets 24 liegt bei 3  $\mu\text{m}$  bis 4  $\mu\text{m}$ . Um das erste Teilgebiet 24 herum befindet sich ein zweites Teilgebiet 26, das n<sup>-</sup>-dotiert, also schwächer dotiert ist als das erste Teilgebiet 24. Die Dotierungskonzentration im zweiten Teilgebiet 26 liegt bei etwa  $10^{16}$  elektrisch aktive Atome pro  $\text{cm}^3$ ). Das zweite Dotierungsgebiet 26 erstreckt sich als umlaufender Ring um das erste Teilgebiet 24. Außen um das zweite Teilgebiet 26 herum ist ein weiteres (zweites) Dotierungsteilgebiet 28 ausgebildet, das n<sup>++</sup>-dotiert ist. Die Dotierungskonzentration dieses weiteren zweiten Teilgebiets 28 ist also niedriger als diejenige des ersten zweiten Teilgebiets 26 und beträgt etwa  $10^{14}$  bis  $10^{15}$  elektrisch aktive Atome pro  $\text{cm}^3$ ). Wie anhand der Fig. 1 durch gestrichelte Linien deutlich gemacht, ist die Tiefe des Teilgebiets 26 geringer als die Tiefe des ersten Teilgebiets 24; ferner ist die Tiefe des weiteren zweiten Teilgebiets 28 geringer als die Tiefe des ersten Teilgebiets 26. Mit anderen Worten nimmt die Tiefe der n-Dotierung ausgehend vom Drain-Anschlußgebiet 20 ab.

Die Teilgebiete 24, 26 und 28 erstrecken sich wegen der Ringstruktur teilweise zwischen den beiden Anschlußgebieten 20 und 22 im oberflächennahen Bereich des Substrats 10. Das weitere zweite Teilgebiet 28 ist vom Source-Anschlußgebiet 22 beabstandet. In diesem Bereich ist auf die Oberfläche 18 der oberen Schicht 16 des

- 13 -

Substrats 10 eine dünne Gate-Oxidschicht 30 aufgebracht. Die dem Source-Anschlußgebiet 22 zugewandte sourceseitige Kante 32 der Gate-Oxidschicht 30 fluchtet mit dem Source-Anschlußgebiet 22. Demgegenüber überlappt die dem Drain-Anschlußgebiet 20 zugewandte drainseitige Kante 34 der Gate-Oxidschicht 30 das weitere zweite Teilgebiet 28. Zwischen der Gate-Oxidschicht 30 und dem Drain-Anschlußgebiet 20 erstreckt sich eine dicke Feld-Oxidschicht 36. Beide Oxidschichten 30 und 36 sind von einem Polysilizium-Gate 38 überdeckt. Feld-Oxidschichten 36 befinden sich auch in dem Oberflächenbereich des NMOS-Transistors 12 auf dem Substrat.

In dem Übergangsbereich zwischen den beiden zweiten Teilgebieten 26 und 28 ist ein p-dotierter Bereich 40 eingebracht, der wie die Teilgebiete 24, 26 und 28 Ringstruktur aufweist. Dieser Ringbereich 40 ist derart stark p-gegendotiert, daß sich insgesamt im Bereich 40 eine Dotierstoffkonzentration von nahezu Null (intrinsisch, d.h. eine Dotierungskonzentration von kleiner als ungefähr  $10^{12}$  elektrisch aktive Atome pro  $\text{cm}^3$ ) einstellt. Die Anordnung des Bereichs 40 innerhalb der Oberfläche 18 des Substrats 10 ist derart getroffen, daß der Bereich 40 unterhalb der drainseitigen Kante 34 der Gate-Oxidschicht 30 verläuft.

Angrenzend an das Source-Anschlußgebiet 22 befindet sich unterhalb der Gate-Oxidschicht 30 in der Oberfläche 18 des Substrats 10 ein zur Einstellung der Schwellenspannung des NMOS-Transistors 12 vorgesehenes p<sup>-</sup>-dotiertes Gebiet 42. Dieses p<sup>-</sup>-Gebiet 42 ist ebenfalls als Ring ausgebildet und erstreckt sich nicht über die gesamte Länge zwischen dem Source-Anschlußgebiet 22 und dem zweiten Teilgebiet 28, sondern ist zum letzteren beabstandet.

Wie in den Figuren dargestellt, weist der NMOS-Transistor 12 einen bezüglich der Achse 43 symmetrischen Aufbau auf. Die Anschlußgebiete 20,24 sowie die Teilgebiete 24,26,28 und 42 sind konzentrisch zur Achse 43 ausgebildet. Selbiges gilt auch für die Oxidschichten 30 und 36 sowie die Polysiliziumschicht 38. Die somit als eine Art Guardring um Ring-Gate und Drain umlaufende Source schützt zum NMOS-Transistor benachbarte Schaltungsgebiete des Substrats 10.

In Lateral-Erstreckung zwischen den Anschlußgebieten 20 und 22 entlang der Oberfläche 18 des Substrats 10 stellt sich der in Fig. 2 dargestellte Dotierungskonzentrationsverlauf ein. Zu erkennen ist die intrinsische Dotierungskonzentration im Bereich 40 und der von da aus bis zum Drain-Anschlußgebiet stufenförmig ansteigende Dotierungskonzentrationsverlauf, der dem idealen geradlinigen Verlauf 41 (gestrichelt dargestellt) recht gut angenähert ist. Durch diesen langsamen Abbau der Dotierungskonzentration von dem Wert im Drain-Anschlußgebiet 20 bis auf den intrinsischen Wert an der drainseitigen Kante 34 der Gate-Oxidschicht 30 wird zwischen beiden ein ausreichend großer Bereich zur Ausbreitung der Raumladungszone im gesperrten Zustand des NMOS-Transistors 12 geschaffen. Im Vergleich zu herkömmlichen NMOS-Transistoren ist also die Raumladungszone zum Drain-Anschlußgebiet 20 hin verschoben. Damit erstreckt sie sich weniger weit unterhalb der Gate-Oxidschicht 30 in Richtung des Source-Anschlußgebiets 22. Damit kann der NMOS-Transistor 12 für eine kleinere Mindestkanallänge (Punch-Through-Effekt) ausgelegt werden. Die verbreiterte Raumladungszone trägt zum Abbau von Ausgangsspannungen zwischen dem Drain-Anschlußgebiet 20 und dem Polysilizium-Gate 38 bei, so daß ein prozentual geringerer Anteil über der Gate-



- 15 -

Oxidschicht 30 an der drainseitigen Kante 34 abfallen muß. Damit besteht hier weniger die Gefahr eines Durchbruchs oder, anders ausgedrückt, der NMOS-Transistor 12 ist auch bei höheren Ausgangsspannungen noch durchbruchsicher. Zur Erhöhung der Durchbruchssicherheit trägt auch der intrinsische Bereich 40 unterhalb der drainseitigen Kante 34 der Gate-Oxidschicht 30 bei. Auch die als Feldplatte bezeichnete sich an die Gate-Oxidschicht 30 anschließende Feld-Oxidschicht 36 trägt zur Verringerung der Gefahr eines Durchbruches in der Gate-Oxidschicht 30 bei.

Nachfolgend soll auf die Herstellung des aus den drei Teilgebieten 24, 26 und 28 zusammengesetzten Dotierungsgebiets 44 eingegangen werden. Das Besondere bei der Ausbildung dieses Dotierungsgebiets 44 besteht darin, daß die für MOS-Prozessoren üblichen Ionenimplantations- und Ausdiffusionsschritte verwendet werden.

Wie man anhand der graphischen Darstellung des Implantationsschritts gemäß Fig. 3 erkennen kann, ist die Oberfläche 18 des Substrats 10 von einer Lackmaske 46 überzogen. Die Lackmaske 46 weist eine erste große Öffnung 48 zum Einbringen von Ionen für das spätere erste Dotierungsteilgebiet 24 auf. Um die Öffnung 48 herum ist eine Ringöffnung 50 in der Lackmaske 46 ausgebildet. Durch diese Ringöffnung 50 hindurch werden Ionen zur Herstellung des zweiten Dotierungsteilgebiets 26 in die Substratoberfläche implantiert. Der Abstand der Ringöffnung 50 zur Öffnung 48 und die laterale Erstreckung der Ringöffnung 50 sind dabei im Verhältnis zur Eindringtiefe der Ionen bei der späteren Ausdiffusion klein gewählt. Diese Einschränkung gilt nicht für die Öffnung 48, die eine wesentlich größere Abmessung als die Diffusionslänge aufweist. Um die Ringöffnung 50

herum ist mit Abstand zu dieser eine zweite Ringöffnung 52 in der Lackmaske 46 ausgebildet. Durch diese zweite Ringöffnung 52 werden in das Substrat die zur Ausbildung des (weiteren) zweiten Teilgebiets 28 erforderlichen Ionen eingebracht. Für den Abstand der Ringöffnung 52 zur Ringöffnung 50 sowie die Lateral-Erstreckung der Ringöffnung 52 gilt das oben im Zusammenhang mit der Ringöffnung 50 gesagte, wobei die Lateral-Erstreckung der Ringöffnung 52 kleiner gewählt ist als die Lateral-Erstreckung der Ringöffnung 50. In Fig. 3 sind mit 24', 26' und 28' die ionenimplantierten Gebiete dargestellt, die sich durch den anschließenden Ausdiffusionsprozeß zu den dotierten Teilgebieten 24, 26 und 28 ausbilden.

Wenn man einmal von einer Ausdiffusionslänge, d.h. von einer maximalen Eindringtiefe der implantierten Ionen im mittleren Bereich des ionenimplantierten Gebiets 24' von 3,5  $\mu\text{m}$  ausgeht, so beträgt beispielsweise der Abstand der Ringöffnung 50 zur Öffnung 48 und der Abstand der Ringöffnung 52 zur Ringöffnung 50 jeweils 1,4  $\mu\text{m}$ . Die Lateral-Erstreckung der Ringöffnung 50 liegt bei etwa 2  $\mu\text{m}$ , während die Ringöffnung 52 eine Lateral-Erstreckung von etwa 1  $\mu\text{m}$  aufweist.

Wie in Fig. 4 dargestellt, ergibt sich aufgrund der Ausmaskierung des Substrats 10 bei der Ionenimplantation gemäß Fig. 3 nach der thermischen Ausdiffusion das Dotierungsgebiet 44 mit den Dotierungsteilgebieten 24, 26 und 28, innerhalb derer die Eindringtiefe stufenweise unterschiedlich ist. Die Eindringtiefe innerhalb der zweiten Teilbereiche 26 und 28 ist deshalb geringer als innerhalb des ersten Teilbereichs 24, weil der prozentuale Anteil an Lateral-Diffusion in diesen zweiten Teilgebieten 26 und 28 wesentlich größer ist als die

Vertikal-Diffusion, wenn beides verglichen wird mit den Gegebenheiten im ersten Teilgebiet 24. Infolge dieser unterschiedlichen Ausdiffusionen stellt sich an der Oberfläche 18 des Substrats 10 ein vom ersten Teilgebiet 24 über das zweite Teilgebiet 26 bis zum weiteren zweiten Teilgebiet 28 insgesamt abnehmender Dotierstoffkonzentrationsverlauf ein. Diese Aussage gilt auch für die oberflächennahen Bereiche des Substrats 10, innerhalb derer die Teilgebiete 24, 26 und 28 ausgebildet sind.

Wie anhand der Fign. 3 und 4 zu erkennen ist, besteht der Vorteil der hier vorgestellten Modulation der Dotierstoffkonzentration im Bereich zwischen dem Drain-Anschlußbereich 20 und der Gate-Oxidschicht 30 darin, daß die technologisch kritischen Prozeßschritte "Implantation" und "Ausdiffusion" unverändert beibehalten werden können. Wird so, wie in den Fign. 3 und 4 dargestellt, zur Herstellung des Dotierungsgebiets 44 mit zum Gate hin abfallender Dotierungskonzentration gearbeitet, stellt sich notwendigerweise das in Fig. 4 und in Fig. 1 gezeigte Dotierungsprofil ein.

Wie anhand der Fign. 1 und 4 ferner zu erkennen ist, ist der Abstand zwischen der unteren Grenze des ersten Dotierungsteilgebiets 24 und der Trennung zwischen den beiden Schichten 14 und 16 des Substrats relativ gering. Bei einer Dicke der oberen Schicht 16 zwischen 5  $\mu\text{m}$  und 6  $\mu\text{m}$  und einer Ausdiffusionslänge von etwa 3,5  $\mu\text{m}$  ergibt sich ein Abstand zwischen 1,5  $\mu\text{m}$  und 2,5  $\mu\text{m}$ . Wegen dieses geringen Abstandes und der Tatsache, daß unter Einhaltung dieses relativ kleinen Abstandes in vertikaler Richtung des Substrats 10 die hoch bis stark dotierte untere Schicht 14 folgt, wird die Raumladungszone zwischen dem ersten Teilgebiet 24

- 18 -

und dem Substrat 10 im unteren Bereich stark eingeschränkt. Damit kann man beeinflussen, daß ein Durchbruch des p-n-Übergangs eher in vertikaler Richtung als in lateraler Richtung an der drainseitigen Kante 34 der Gate-Oxidschicht 30 erfolgt. Bei einem vertikalen Durchbruch des p-n-Übergangs besteht eher die Möglichkeit, daß dieser reversibel ist, da in vertikaler Richtung mehr Substratmaterial vorhanden ist als in lateraler Richtung und dieses Substratmaterial demzufolge auch thermisch belastbarer ist als im Bereich der drainseitigen Kante 34 der Gate-Oxidschicht 30.

ANSPRÜCHE

1. MOS-Transistor mit hoher Ausgangsspannungsfestigkeit, mit
  - einem Halbleiter-Substrat (10), das eine schwache Dotierung eines ersten Leitungstyps aufweist,
  - zwei in die Oberfläche (18) des Substrats (10) eingebrachte voneinander beabstandete Anschlußgebiete (20,22) für Drain und Source, wobei die Anschlußgebiete (20,22) stark bis entartet dotiert und von einem dem ersten Leitungstyp entgegengesetzten zweiten Leitungstyp sind,
  - einer auf die Oberfläche (18) zwischen den beiden Anschlußgebieten (20,22) für Drain und Source aufgetragenen Gate-Oxidschicht (30) mit einer an das Source-Anschlußgebiet (22) angrenzenden sourceseitigen Kante (32) und einer von dem Drain-Anschlußgebiet (20) beabstandeten drainseitigen Kante (34), und
  - einem in die Oberfläche (18) des Substrats (10) von dem Drain-Anschlußgebiet (20) bis unterhalb der Gate-Oxidschicht (30) reichenden und von dem Source-Anschlußgebiet (22) beabstandeten Dotierungsgebiet (44) vom zweiten Leitungstyp, dessen Oberflächenkonzentration in dem an das Drain-Anschlußgebiet (20) angrenzenden Bereich höher ist als in dem Bereich unterhalb der Gate-Oxidschicht (30),
  - wobei das Dotierungsgebiet (44) durch Ionenimplantation und anschließende Ausdiffusion eines an das Drain-Anschlußgebiet (20) angrenzenden ersten Teilgebiets (24), dessen Abmessung in Drain-Gate-Erstreckung wesentlich

- 20 -

größer ist als die Eindringtiefe der Ausdiffusion in das Substrat (10), und mindestens eines zweiten Teilgebiets (26;28) gebildet ist, das zwischen dem ersten Teilgebiet (24) und dem Source-Anschlußgebiet (22) angeordnet ist und dessen Abmessung in Drain-Gate-Erstreckung sowie dessen Abstand zum ersten Teilgebiet (24) kleiner sind als die Eindringtiefe der Ausdiffusion in das Substrat (10), wobei die von den einzelnen jeweils benachbarten ersten und zweiten Teilgebieten (24,26;24,28) ausgehenden Einzeldiffusionen zur Erzielung eines Dotierungskonzentrationsgradienten bei gleichbleibendem Leitungstyp des Dotierungsgebiets an der Oberfläche (18) des Substrats (10) ineinanderlaufen.

2. MOS-Transistor nach Anspruch 1, dadurch gekennzeichnet, daß mehrere nebeneinanderliegende zweite Teilgebiete (26,28) vorgesehen sind, deren Abmessungen in Drain-Gate-Erstreckung und deren Abstände untereinander bzw. zum ersten Teilgebiet (24) jeweils kleiner sind als die Eindringtiefe der Ausdiffusion in das Substrat (10), wobei mit zunehmender Entfernung der zweiten Teilgebiete (26,28) vom ersten Teilgebiet (24) sich die Abmessungen der zweiten Teilgebiete (26,28) in Drain-Gate-Erstreckung verkleinern.
3. MOS-Transistor nach Anspruch 2, dadurch gekennzeichnet, daß die Abstände benachbarter zweiter Teilgebiete (26,28) jeweils im wesentlichen gleich sind.

4. MOS-Transistor nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß mehrere nebeneinanderliegende zweite Teilgebiete (26,28) vorgesehen sind, deren Abmessungen in Drain-Gate-Erstreckung und deren Abstände untereinander bzw. zum ersten Teilgebiet (24) jeweils kleiner sind als die Eindringtiefe der Ausdiffusion in das Substrat (10), wobei mit zunehmender Entfernung der zweiten Teilgebiete (26,28) vom ersten Teilgebiet (24) sich der Abstand jeweils benachbarter zweiter Teilgebiete (26,28) vergrößert.
5. MOS-Transistor nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß - in Draufsicht auf die Oberfläche (18) des Substrats (10) betrachtet - das erste Teilgebiet (24) sich um das Drain-Anschlußgebiet (20) herum erstreckt und daß das mindestens eine zweite Teilgebiet (26;28) als sich um das erste Teilgebiet (24) erstreckender und von diesem beabstandeter Ring ausgebildet ist.
6. MOS-Transistor nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß innerhalb des Dotierungsgebiets (44) unterhalb der drainseitigen Kante (34) der Gate-Oxidschicht (30) in der Oberfläche (18) des Substrats (10) eine Intrinsic-Zone (40) angeordnet ist.
7. MOS-Transistor nach Anspruch 6, dadurch gekennzeichnet, daß die Intrinsic-Zone (40) durch Ausbilden eines dotierten Bereichs vom ersten Leitungstyp hergestellt ist.
8. MOS-Transistor nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß unterhalb der Gate-

Oxidschicht (30), angrenzend an das Source-Anschlußgebiet (22) und beabstandet von dem nächstliegenden ausdiffundierten zweiten Teilgebiet (26; 28), ein zum Einstellen der Schwellenspannung dotiertes Gebiet (42) vom ersten Leitungstyp angeordnet ist.

9. MOS-Transistor nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, daß sich an die drainseitige Kante (34) der Gate-Oxidschicht (30) eine Feld-Oxidschicht (36) anschließt, die dicker ist als die Gate-Oxidschicht (30).
10. MOS-Transistor nach einem der Ansprüche 1 bis 9, dadurch gekennzeichnet, daß das Substrat (10) eine die Oberfläche (18) umfassende obere Schicht (16) und eine diese tragende untere Schicht (14) aufweist und daß die obere Schicht (16) wesentlich niedriger dotiert ist als die untere Schicht (14).
11. MOS-Transistor nach einem der Ansprüche 1 bis 10, dadurch gekennzeichnet, daß das vom Drain-Anschlußgebiet (20) am weitesten entfernte Teilgebiet (28) aus nebeneinanderliegenden insbesondere punktförmigen Gebieten besteht.
12. MOS-Transistor nach einem der Ansprüche 1 bis 11, mit einem zu einer senkrecht zur Oberfläche (18) des Substrats (10) und durch das Drain-Anschlußgebiet (20) hindurch verlaufenden Achse (43) konzentrischen bzw. symmetrischen Aufbau.



- 1 / 2 -

FIG.1

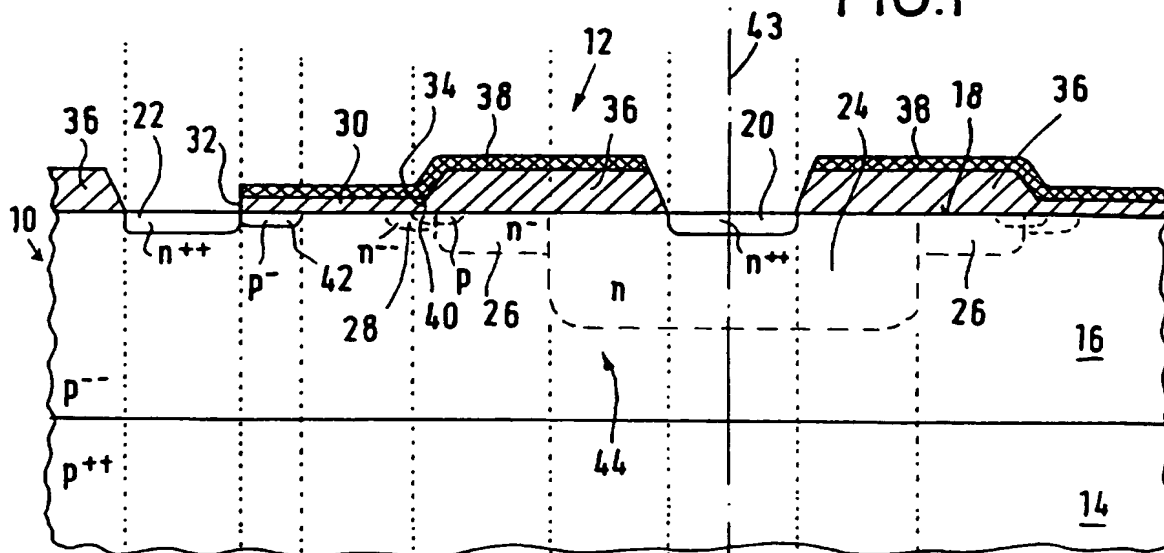
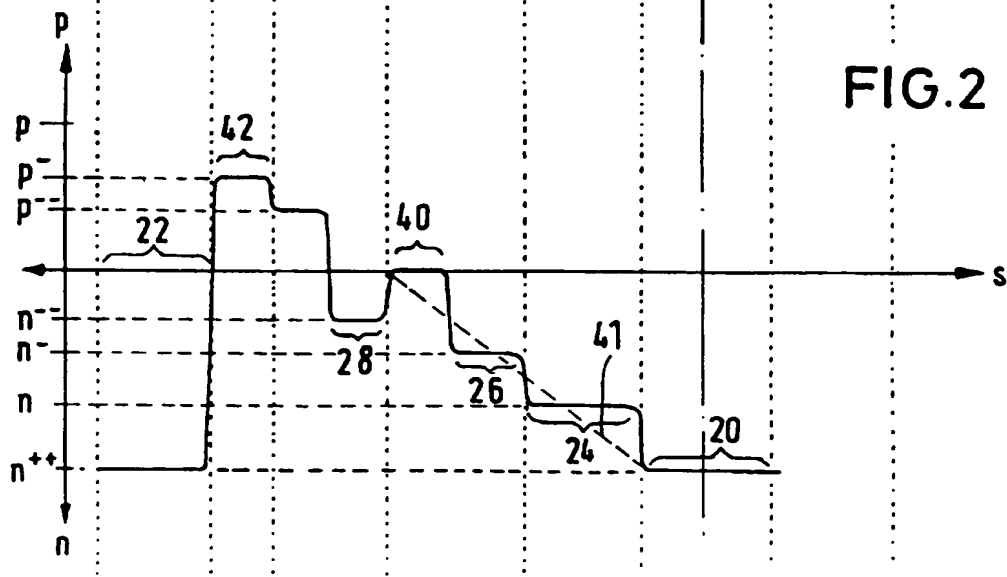


FIG.2



- 2 / 2 -

FIG. 3

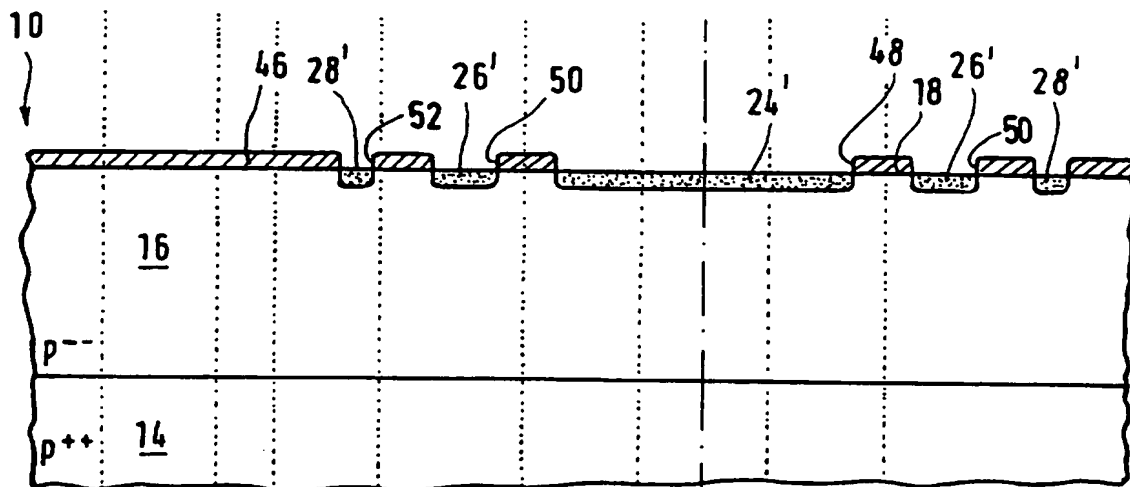
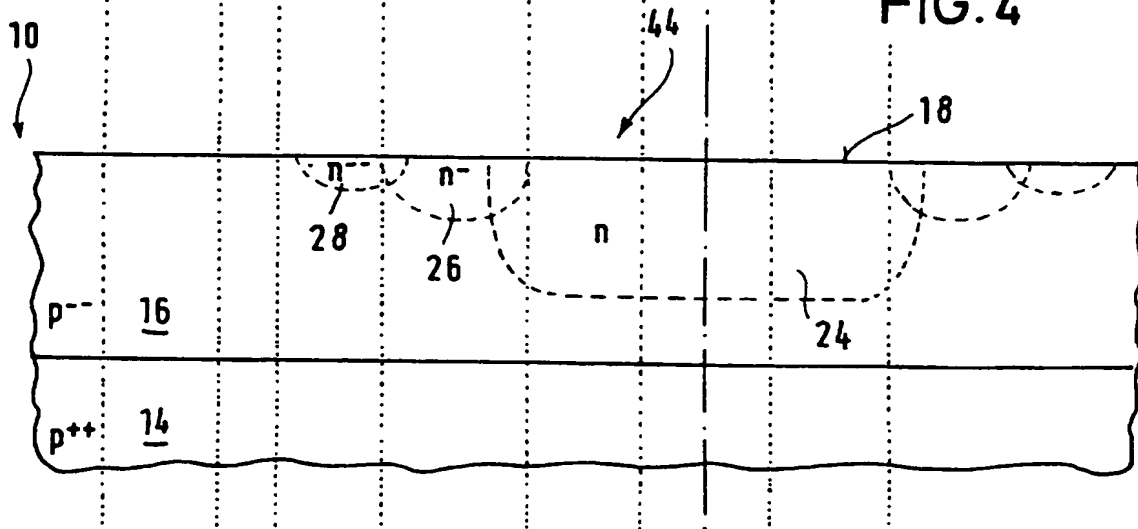


FIG. 4



## INTERNATIONAL SEARCH REPORT

national Application No  
PCT/EP 96/04246

A. CLASSIFICATION OF SUBJECT MATTER  
IPC 6 H01L29/78 H01L21/336

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
IPC 6 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 637 846 A (SILICONIX INC) 8 February 1995 see abstract; figures 2-5 ---	1-4,11
Y	EP 0 400 934 A (GEN ELECTRIC) 5 December 1990 see the whole document ---	1-3,11
Y	EP 0 660 419 A (TEXAS INSTRUMENTS INC ;TEXAS INSTRUMENTS LTD (GB)) 28 June 1995 see page 2, line 53 - page 3, line 11; figures 1-3 ---	1-3,11
A	DE 43 36 054 A (BOSCH GMBH ROBERT) 27 April 1995 see the whole document ---	6,9
-/--		

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

## \* Special categories of cited documents:

- \*A\* document defining the general state of the art which is not considered to be of particular relevance
- \*E\* earlier document but published on or after the international filing date
- \*L\* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- \*O\* document referring to an oral disclosure, use, exhibition or other means
- \*P\* document published prior to the international filing date but later than the priority date claimed

\*T\* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

\*X\* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

\*Y\* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

\*&\* document member of the same patent family

Date of the actual completion of the international search

18 December 1996

Date of mailing of the international search report

14. 01. 97

Name and mailing address of the ISA  
European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+ 31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+ 31-70) 340-3016

Authorized officer

Mimoun, B

## INTERNATIONAL SEARCH REPORT

national Application No  
PCT/EP 96/04246

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0 110 320 A (NISSAN MOTOR) 13 June 1984 see abstract; figures ---	10
A	EP 0 386 779 A (TOKYO SHIBAURA ELECTRIC CO) 12 September 1990 see figures 1C,2 ---	5,12
A	PATENT ABSTRACTS OF JAPAN vol. 007, no. 255 (E-210), 12 November 1983 & JP 58 140165 A (ROOMU KK), 19 August 1983, see abstract ---	8
A	DE 38 16 002 A (INT RECTIFIER CORP) 8 December 1988 see column 13, line 11 - column 14, line 20; figures 7-12 -----	6,7

# INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/EP 96/04246

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP-A-0637846	08-02-95	US-A- 5426325 DE-T- 637846 JP-A- 7235597	20-06-95 30-11-95 05-09-95
EP-A-0400934	05-12-90	US-A- 4927772 DE-D- 69027630 JP-A- 3094469	22-05-90 08-08-96 19-04-91
EP-A-0660419	28-06-95	JP-A- 8037304	06-02-96
DE-A-4336054	27-04-95	WO-A- 9511525	27-04-95
EP-A-0110320	13-06-84	JP-A- 59098558 JP-C- 1664667 JP-B- 3028836 JP-A- 59100570	06-06-84 19-05-92 22-04-91 09-06-84
EP-A-0386779	12-09-90	JP-A- 2237159 DE-D- 69027463 DE-T- 69027463 US-A- 5191401	19-09-90 25-07-96 12-12-96 02-03-93
DE-A-3816002	08-12-88	US-A- 4866495 JP-A- 63310175 US-A- 5023678	12-09-89 19-12-88 11-06-91

# INTERNATIONALER RECHERCHENBERICHT

nationales Aktenzeichen  
PCT/EP 96/04246

**A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES**  
IPK 6 H01L29/78 H01L21/336

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

**B. RECHERCHIERTE GEBIETE**

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)  
IPK 6 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

**C. ALS WESENTLICH ANGESEHENE UNTERLAGEN**

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	EP 0 637 846 A (SILICONIX INC) 8.Februar 1995 siehe Zusammenfassung; Abbildungen 2-5 ---	1-4,11
Y	EP 0 400 934 A (GEN ELECTRIC) 5.Dezember 1990 siehe das ganze Dokument ---	1-3,11
Y	EP 0 660 419 A (TEXAS INSTRUMENTS INC ;TEXAS INSTRUMENTS LTD (GB)) 28.Juni 1995 siehe Seite 2, Zeile 53 - Seite 3, Zeile 11; Abbildungen 1-3 ---	1-3,11
A	DE 43 36 054 A (BOSCH GMBH ROBERT) 27.April 1995 siehe das ganze Dokument ---	6,9
-/-		

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

\* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderscher Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderscher Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"Z" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

18.Dezember 1996

Abschließdatum des internationalen Recherchenberichts

14. 01. 97

Name und Postanschrift der Internationale Recherchenbehörde  
Europäisches Patentamt, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+ 31-70) 340-2040, Tx. 31 651 epo nl,  
Fax (+ 31-70) 340-3016

Bevollmächtigter Bediensteter

Mimoun, B

# INTERNATIONALER RECHERCHENBERICHT

nationales Aktenzeichen

PCT/EP 96/04246

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	EP 0 110 320 A (NISSAN MOTOR) 13.Juni 1984 siehe Zusammenfassung; Abbildungen ---	10
A	EP 0 386 779 A (TOKYO SHIBAURA ELECTRIC CO) 12.September 1990 siehe Abbildungen 1C,2 ---	5,12
A	PATENT ABSTRACTS OF JAPAN vol. 007, no. 255 (E-210), 12.November 1983 & JP 58 140165 A (ROOMU KK), 19.August 1983, siehe Zusammenfassung ---	8
A	DE 38 16 002 A (INT RECTIFIER CORP) 8.Dezember 1988 siehe Spalte 13, Zeile 11 - Spalte 14, Zeile 20; Abbildungen 7-12 -----	6,7

# INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

nationales Aktenzeichen

PCT/EP 96/04246

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
EP-A-0637846	08-02-95	US-A- 5426325 DE-T- 637846 JP-A- 7235597	20-06-95 30-11-95 05-09-95
EP-A-0400934	05-12-90	US-A- 4927772 DE-D- 69027630 JP-A- 3094469	22-05-90 08-08-96 19-04-91
EP-A-0660419	28-06-95	JP-A- 8037304	06-02-96
DE-A-4336054	27-04-95	WO-A- 9511525	27-04-95
EP-A-0110320	13-06-84	JP-A- 59098558 JP-C- 1664667 JP-B- 3028836 JP-A- 59100570	06-06-84 19-05-92 22-04-91 09-06-84
EP-A-0386779	12-09-90	JP-A- 2237159 DE-D- 69027463 DE-T- 69027463 US-A- 5191401	19-09-90 25-07-96 12-12-96 02-03-93
DE-A-3816002	08-12-88	US-A- 4866495 JP-A- 63310175 US-A- 5023678	12-09-89 19-12-88 11-06-91



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**